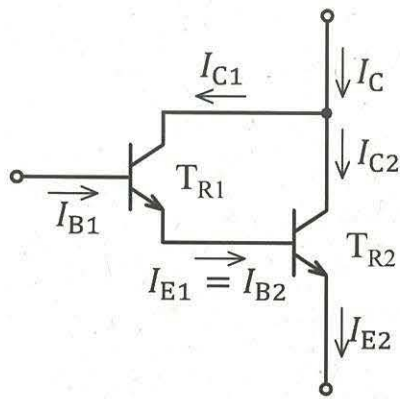


ページ (1/4)	受験番号	氏名
-----------	------	----

【1】 図に示す回路において、次の問に答えよ。なお、2つのトランジスタ  $T_{R1}$  と  $T_{R2}$  はどちらもベースエミッタ電圧は  $V_{BE} = 0.7 \text{ V}$  とする。電流増幅率はそれぞれ  $h_{FE1}$ 、 $h_{FE2}$  とする。また、飽和領域におけるコレクタエミッタ電圧はどちらも  $0 \text{ V}$  と見なせるものとする。



(1)  $I_{E1}$  と  $I_{B1}$  の関係を求めよ。  $T_{R1}$  は活性領域 (能動領域) で動作しているものとする。

(2)  $I_{C2}$  と  $I_{B2}$  の関係を求めよ。  $T_{R2}$  は活性領域で動作しているものとする。

(3) この回路を1つのトランジスタであるとしたとき、電流増幅率  $h_{FE0}$  を求めよ。

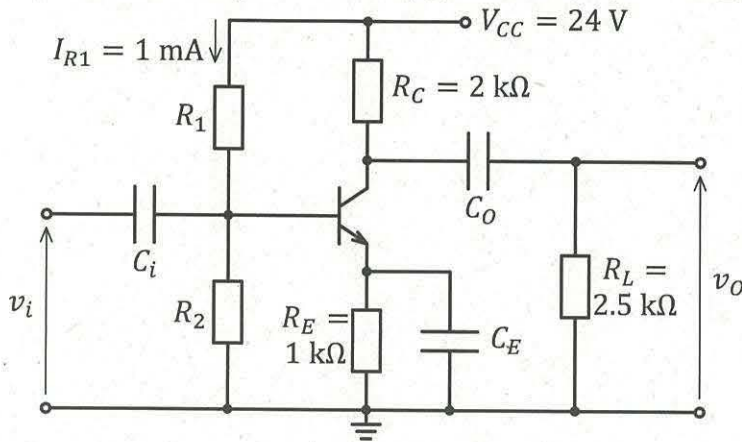
(4)  $I_{B1}$  が次式を満たす十分大きな電流の場合、  $T_{R1}$  と  $T_{R2}$  それぞれのコレクタエミッタ電圧を求めよ。

$$I_{B1} > \frac{I_{C1}}{h_{FE1}}$$

ページ (2/4)	受験番号	氏名
-----------	------	----

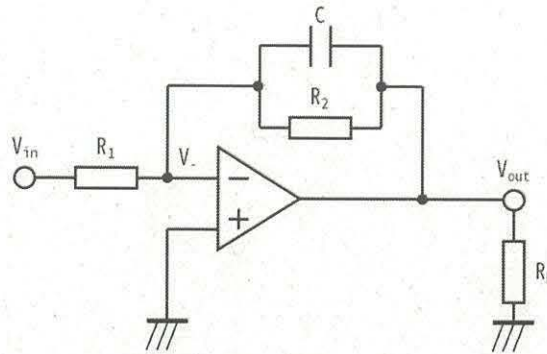
【2】図に示すトランジスタ増幅回路について次の問に答えよ。トランジスタの $h$ パラメータは、 $h_{ie} = 600 \Omega$ 、 $h_{fe} = 240$ 、 $h_{re} = 0$ 、 $h_{oe} = 100 \mu\text{S}$ 、ベースエミッタ電圧は $V_{BE} = 0.7 \text{ V}$ とする。 $C_i$ 、 $C_o$ 、 $C_E$ は十分大きなキャパシタンスである。

- (1) 交流小信号増幅回路を描きなさい。
- (2) 出力電圧 $v_o$ が最大振幅を得られるよう最適化されているとして、動作点を求めよ。
- (3)  $R_1$ と $R_2$ をそれぞれ求めよ。なお、ベース電流 $I_B$ は $I_{R1}$ よりも十分小さく無視できるものとする。
- (4) 出力電圧 $v_o = 2\sin \omega t$  [V]である場合、入力電圧 $v_i$ を時間関数で求めよ。



ページ (3/4)	受験番号	氏名
-----------	------	----

【3】

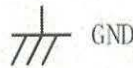
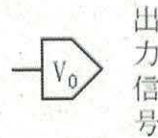
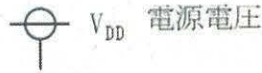


- (1) 信号電圧  $V_{in}$  と  $V_{out}$  に関して、伝達特性  $H = V_{out} / V_{in}$  を求めよ。オペアンプは理想オペアンプとする。
  
- (2) (1) で求めた  $H$  の大きさ  $|H|$  を求め、各周波数  $\omega$  の関数として表せ。
  
- (3) (2) の結果から、直流利得  $A_0$  と遮断角周波数  $\omega_c$  を  $R_1$ ,  $R_2$ ,  $C$  で表せ。
  
- (4) この回路は何パスフィルタであるか。また、その理由を簡潔に述べよ。
  
- (5)  $C=10\text{nF}$ , 遮断周波数  $f_c=1.0\text{kHz}$ , 直流利得が 10 となるように  $R_1$ ,  $R_2$  を求めよ (有効桁 3 桁)。

ページ (4/4)	受験番号	氏名
-----------	------	----

【4】

(1) 2入力論理回路で  $A=0$ ,  $B=0$  のときのみ出力が1となる NOR 回路を設計せよ。使用する pMOS, nMOS のトランジスタには右の簡略図を用いること。



(2) 電源電圧を 3.3V, 論理 1 を 3.3V, 論理 0 を 0V とする。

(a)  $A = 0$ ,  $B = 0$  のときの出力の電圧と論理値を求めよ。

(b)  $A = 1$ ,  $B = 0$  のときの出力の電圧と論理値を求めよ。

(3) 下記の条件における NOR 回路の出力信号の伝搬遅延を求めよ。

- ・伝搬遅延  $t_p$  は, 抵抗  $R$  を介したコンデンサ  $C$  の充放電により決まり,  $t_p \approx 0.69 \cdot R \cdot C$  で近似できるものとする。
- ・NOR 回路の出力負荷  $C_L = 50\text{fF}$ , pMOS と nMOS のオン抵抗  $R_{ON} = 2.1\text{k}\Omega$  とする。

(a)  $A = 0$ ,  $B = 0$  から  $A = 1$ ,  $B = 0$  への遷移時の出力信号の伝搬遅延  $t_{pHL}$  を求めよ。

(b)  $A = 1$ ,  $B = 0$  から  $A = 0$ ,  $B = 0$  への遷移時の出力信号の伝搬遅延  $t_{pLH}$  を求めよ。